

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toru IWAGAMI, et al.
SERIAL NO: NEW APPLICATION
FILED: HEREWITH
FOR: SEMICONDUCTOR DEVICE

GAU:
EXAMINER:

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



#2
Priority
Chickson
10-16-01

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-41989	February 19, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913



22850

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC978 U.S. PTO
09/902777
07/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年 2月19日

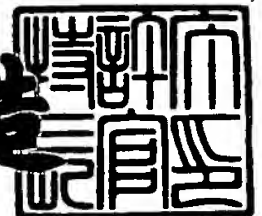
出 願 番 号
Application Number: 特願2001-041989

出 願 人
Applicant (s): 三菱電機株式会社

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3017420

【書類名】 特許願

【整理番号】 529194JP01

【提出日】 平成13年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 7/48

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岩上 徹

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 坂田 浩司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 直流電圧が印加される第 1 および第 2 の主電源端子の間に、直列に介挿された相補的に動作する少なくとも 1 組の第 1 および第 2 のスイッチング素子と、

前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の駆動制御を行う少なくとも 1 つの制御回路と、

前記第 1 および第 2 の主電源端子間に流れる電流を検出するシャント抵抗と、を備え、

前記少なくとも 1 つの制御回路は、

前記シャント抵抗に流れる電流により発生する電圧を検出し、検出電圧が所定電圧以上である場合には、電流異常であることを示す電流異常信号を出力する少なくとも 1 つの電流検出回路と、

前記少なくとも 1 つの電流検出回路から出力される電流異常信号を受け、前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の少なくとも 1 方の動作を停止させる停止信号を出力するフォールト回路とを備え、

前記フォールト回路は、

前記停止信号を前記少なくとも 1 つの制御回路の外部に出力するとともに、前記少なくとも 1 つの制御回路の外部から入力される前記停止信号と同じ信号によっても、前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の少なくとも 1 方の動作を停止させる機能を有する、半導体装置。

【請求項 2】 前記少なくとも 1 つの制御回路は、

前記少なくとも 1 つの制御回路に与えられる駆動電圧を検出し、前記駆動電圧が所定電圧以下である場合には、電圧低下を示す電圧低下信号を出力する電圧検出回路をさらに備え、

前記フォールト回路は、前記電圧低下信号および前記電流異常信号の少なくとも一方が出力された場合に前記停止信号を出力する、請求項 1 記載の半導体装置。

【請求項 3】 前記駆動電圧は、

前記少なくとも 1 組の第 1 および第 2 のスイッチング素子のうち、低電位側の素子の制御電極に制御電圧としても与えられる電圧である、請求項 2 記載の半導体装置。

【請求項 4】 前記少なくとも 1 つの電流検出回路は、第 1 および第 2 の電流検出回路であって、

前記第 1 の電流検出回路は前記第 2 の電流検出回路よりも検出感度が高く設定される、請求項 1 または請求項 2 記載の半導体装置。

【請求項 5】 前記少なくとも 1 つの制御回路を複数備え、

前記少なくとも 1 組の第 1 および第 2 のスイッチング素子を、前記複数の制御回路にそれぞれ対応して複数組備え、

前記複数の制御回路のうちの 1 つの制御回路のみが、前記シャント抵抗の電圧を検出して前記停止信号を出力し、残りの制御回路の前記フォールト回路に与える、請求項 1 または請求項 2 記載の半導体装置。

【請求項 6】 前記少なくとも 1 つの制御回路を複数備え、

前記少なくとも 1 組の第 1 および第 2 のスイッチング素子を、前記複数の制御回路にそれぞれ対応して複数組備え、

前記複数の制御回路のうちの 1 つの制御回路のみが、前記第 1 の電流検出回路によって前記シャント抵抗の電圧を検出し、残りの制御回路は前記第 2 の電流検出回路によって前記シャント抵抗の電圧を検出するように前記シャント抵抗に電気的に接続される、請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、保護機能を備えた電力用半導体装置に関する。

【0002】

【従来の技術】

図 8 は 3 相ブリッジ回路を有するインバータモジュール 90 の構成を示すブロ

ック図である。図8に示すように、電源端子となるP-N端子間（高電位側の主電源端子Pと低電位側の主電源端子Nとの間）に、IGBT（絶縁ゲート型バイポーラトランジスタ）などのパワーデバイスであるトランジスタ11および12、21および22、31および32の組がトータムポール接続されている。なお、主電源端子PおよびNは、それぞれ直流電源PSの正極および負極に接続されている。

【0003】

各々のトータムポール接続されたトランジスタの接続ノード161、162および163の各々は、U相、V相、W相の出力端子U、VおよびWに接続される。

【0004】

また、トランジスタ11、12、21、22、31および32には、それぞれフリーホイールダイオード111、121、211、221、311および321が逆並列接続されている。

【0005】

そして、トランジスタ11および12、21および22、31および32の組をそれぞれ制御するため、パッケージ化された制御回路IC1、IC2およびIC3が配設されている。なお、制御回路IC1～IC3は機能的に同じものであるが、便宜的に符号を変えて示している。

【0006】

トランジスタ11および12の各々のゲート電極には制御回路IC1の制御信号出力端子HOおよびLOから制御信号が与えられ、トランジスタ21および22の各々のゲート電極には制御回路IC2の制御信号出力端子HOおよびLOから制御信号が与えられ、トランジスタ31および32の各々のゲート電極には制御回路IC3の制御信号出力端子HOおよび端子LOから制御信号が与えられる構成となっている。

【0007】

また、制御回路IC1～IC3のそれぞれの基準電位端子V_Sは、接続ノード161、162、163に接続されるとともに、パッケージの基準電位端子V_{UF}

S、 V_{VFS} 、 V_{WFS} に接続されている。

【0008】

また、制御回路IC1～IC3のそれぞれの基準電位端子VNOは低電位側の主電源端子Nに共通に接続され、IC1～IC3のそれぞれの駆動電圧端子 V_B は、パッケージの駆動電圧端子 V_{UFB} 、 V_{VFB} 、 V_{WFB} に接続されている。

【0009】

なお、基準電位端子 V_S は、高電位側の基準電位を各IC内に供給する端子であり、基準電位端子VNOは低電位側の基準電位を各制御回路内に供給する端子である。

【0010】

また、制御回路IC1～IC3は、何れも駆動電圧端子 V_{CC} 、接地端子COM、制御信号入力端子PINおよびNIN、フォールト端子 F_0 を有している。また、制御回路IC1～IC3は、それぞれ電流検出端子CIN1、CIN2およびCIN3を有している。なお、電流検出端子CIN1～CIN3は、機能的に何れも同じものである。

【0011】

そして、制御回路IC1～IC3の各駆動電圧端子 V_{CC} は、何れもモジュールの駆動電圧端子 V_{N1} に接続され、各接地端子COMは何れもモジュールの接地端子 V_{NC} に接続されている。

【0012】

また、制御回路IC1～IC3の各制御信号入力端子PINは、それぞれモジュールの制御信号入力端子 U_P 、 V_P 、 W_P に接続され、各制御信号入力端子NINは、それぞれモジュールの制御信号入力端子 U_N 、 V_N 、 W_N に接続されている。

【0013】

制御回路IC1～IC3の各フォールト端子 F_0 はモジュール内部において互いに接続され、共通してモジュールのフォールト端子FOに接続されている。

【0014】

なお、制御回路IC3の電流検出端子CIN3は、モジュールの電流検出端子

CINに接続されるとともに、モジュール内部において電流検出端子CIN1およびCIN2に接続されている。

【0015】

そして、モジュールの接地端子 V_{NC} および電流検出端子CINは、モジュールの外部において、主電源端子PおよびN間に流れる直流電流を検出するシャント抵抗R20の両端に接続され、電圧を検出する構成となっている。

【0016】

ここで、電流検出端子CIN1～CIN3による電圧検出のための構成について図9を用いて説明する。なお、図9においては電流検出端子CIN1を例示するが、電流検出端子CIN2およびCIN3においても同様である。

【0017】

図9において、電流検出端子CIN1で検出したシャント抵抗R20の電圧はコンパレータC1に入力され、コンパレータC1において参照電圧REFとの比較を行う。この結果、シャント抵抗R20の電圧が参照電圧以上となっている場合には、ラッチ回路C2を介してフォールト回路C3に与えられ、フォールト回路C3からトランジスタ11および12の動作を停止させる命令をIC1内のパワーデバイス駆動回路（図示せず）に与える。なお、上記命令はフォールト端子F₀から出力される構成となっている。

【0018】

このように構成された、インバータモジュール90は、トランジスタ11、12、21、22、31および32を交互に駆動させることで直流-交流の変換を行って、交流電力を負荷（図示せず）に供給するものである。

【0019】

【発明が解決しようとする課題】

インバータモジュール90においては、トランジスタ11、12、21、22、31および32の異常動作等の発生によりP-N端子間に異常な電流が流れた場合には、シャント抵抗R20の電圧が異常となる。この異常電圧を制御回路IC1～IC3の電流検出端子CIN1、CIN2、およびCIN3で検出し、制御回路IC1～IC3が、それぞれトランジスタ11、12、21、22、31

および 3 2 への制御信号を停止することで、各トランジスタを保護している。

【 0 0 2 0 】

このように、制御回路 IC 1 ~ IC 3 の何れに対してもシャント抵抗 R 2 0 の電圧値を与えるために、モジュール内部において配線（内部配線）が必要であり、その結果、内部配線が複雑になってモジュールの小型化ができないという問題があった。

【 0 0 2 1 】

本発明は上記のような問題点を解消するためになされたもので、パワーデバイスの保護機能を有したインバータモジュールにおいて、内部配線を単純化してモジュールを小型化することを目的とする。

【 0 0 2 2 】

【課題を解決するための手段】

本発明に係る請求項 1 記載の半導体装置は、直流電圧が印加される第 1 および第 2 の主電源端子の間に、直列に介挿された相補的に動作する少なくとも 1 組の第 1 および第 2 のスイッチング素子と、前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の駆動制御を行う少なくとも 1 つの制御回路と、前記第 1 および第 2 の主電源端子間に流れる電流を検出するシャント抵抗とを備え、前記少なくとも 1 つの制御回路は、前記シャント抵抗に流れる電流により発生する電圧を検出し、検出電圧が所定電圧以上である場合には、電流異常であることを示す電流異常信号を出力する少なくとも 1 つの電流検出回路と、前記少なくとも 1 つの電流検出回路から出力される電流異常信号を受け、前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の少なくとも 1 方の動作を停止させる停止信号を出力するフォールト回路とを備え、前記フォールト回路は、前記停止信号を前記少なくとも 1 つの制御回路の外部に出力するとともに、前記少なくとも 1 つの制御回路の外部から入力される前記停止信号と同じ信号によっても、前記少なくとも 1 組の第 1 および第 2 のスイッチング素子の少なくとも 1 方の動作を停止させる機能を有している。

【 0 0 2 3 】

本発明に係る請求項 2 記載の半導体装置は、前記少なくとも 1 つの制御回路が

、前記少なくとも1つの制御回路に与えられる駆動電圧を検出し、前記駆動電圧が所定電圧以下である場合には、電圧低下を示す電圧低下信号を出力する電圧検出回路をさらに備え、前記フォールト回路は、前記電圧低下信号および前記電流異常信号の少なくとも一方が出力された場合に前記停止信号を出力する。

【0024】

本発明に係る請求項3記載の半導体装置は、前記駆動電圧が、前記少なくとも1組の第1および第2のスイッチング素子のうち、低電位側の素子の制御電極に制御電圧としても与えられる電圧である。

【0025】

本発明に係る請求項4記載の半導体装置は、前記少なくとも1つの電流検出回路が、第1および第2の電流検出回路であって、前記第1の電流検出回路は前記第2の電流検出回路よりも検出感度が高く設定されている。

【0026】

本発明に係る請求項5記載の半導体装置は、前記少なくとも1つの制御回路を複数備え、前記少なくとも1組の第1および第2のスイッチング素子を、前記複数の制御回路にそれぞれ対応して複数組備え、前記複数の制御回路のうちの1つの制御回路のみが、前記シャント抵抗の電圧を検出して前記停止信号を出力し、残りの制御回路の前記フォールト回路に与える。

【0027】

本発明に係る請求項6記載の半導体装置は、前記少なくとも1つの制御回路を複数備え、前記少なくとも1組の第1および第2のスイッチング素子を、前記複数の制御回路にそれぞれ対応して複数組備え、前記複数の制御回路のうちの1つの制御回路のみが、前記第1の電流検出回路によって前記シャント抵抗の電圧を検出し、残りの制御回路は前記第2の電流検出回路によって前記シャント抵抗の電圧を検出するように前記シャント抵抗に電氣的に接続されている。

【0028】

【発明の実施の形態】

< A. 実施の形態1 >

< A-1. 装置構成 >

図 1 は 3 相ブリッジ回路を有するインバータモジュール 1 0 0 の構成を示すブロック図である。図 1 に示すように、電源端子となる P - N 端子間（高電位側の主電源端子 P と低電位側の主電源端子 N との間）に、I G B T（絶縁ゲート型バイポーラトランジスタ）などのパワーデバイスであるトランジスタ 1 1 および 1 2、2 1 および 2 2、3 1 および 3 2 の組がトータムポール接続されている。なお、主電源端子 P および N は、それぞれ直流電源 P S の正極および負極に接続されている。

【 0 0 2 9 】

各々のトータムポール接続されたトランジスタの接続ノード 1 6 1、1 6 2 および 1 6 3 の各々は、U 相、V 相、W 相の出力端子 U、V および W に接続される。

【 0 0 3 0 】

また、トランジスタ 1 1、1 2、2 1、2 2、3 1 および 3 2 には、それぞれフリーホイールダイオード 1 1 1、1 2 1、2 1 1、2 2 1、3 1 1 および 3 2 1 が逆並列接続されている。

【 0 0 3 1 】

そして、トランジスタ 1 1 および 1 2、2 1 および 2 2、3 1 および 3 2 の組をそれぞれ制御するため、パッケージ化された制御回路 I C 1 1、I C 1 2 および I C 1 3 が配設されている。なお、制御回路 I C 1 1 ~ I C 1 3 は機能的に同じものである。

【 0 0 3 2 】

トランジスタ 1 1 および 1 2 の各々のゲート電極には制御回路 I C 1 1 の制御信号出力端子 H O および L O から制御信号が与えられ、トランジスタ 2 1 および 2 2 の各々のゲート電極には制御回路 I C 1 2 の制御信号出力端子 H O および L O から制御信号が与えられ、トランジスタ 3 1 および 3 2 の各々のゲート電極には制御回路 I C 1 3 の制御信号出力端子 H O および L O から制御信号が与えられる構成となっている。

【 0 0 3 3 】

また、制御回路 I C 1 1 ~ I C 1 3 のそれぞれの基準電位端子 V_S は、接続ノ

ード161、162、163に接続されるとともに、パッケージの基準電位端子 V_{UFS} 、 V_{VFS} 、 V_{WFS} に接続されている。

【0034】

また、制御回路IC11～IC13のそれぞれの基準電位端子VNOは、低電位側の主電源端子Nに共通に接続され、制御回路IC11～IC13のそれぞれの駆動電圧端子 V_B は、駆動電圧端子 V_{UFB} 、 V_{VFB} 、 V_{WFB} に接続されている。

【0035】

なお、基準電位端子 V_S は、高電位側の基準電位を各IC内に供給する端子であり、基準電位端子VNOは低電位側の基準電位を各制御回路内に供給する端子である。

【0036】

また、制御回路IC11～IC13は、何れも駆動電圧端子 V_{CC} 、接地端子COM、制御信号入力端子PINおよびNIN、フォールト端子 F_0 を有している。また、制御回路IC11～IC13は、それぞれ電流検出端子CIN1、CIN2およびCIN3を有している。なお、電流検出端子CIN1～CIN3は、機能的に何れも同じものであるが、便宜的に符号を変えて示している。

【0037】

そして、制御回路IC11～IC13の各駆動電圧端子 V_{CC} は、何れもモジュールの駆動電圧端子 V_{N1} に接続され、各接地端子COMは何れもモジュールの接地端子 V_{NC} に接続されている。

【0038】

また、制御回路IC11～IC13の各制御信号入力端子PINは、それぞれモジュールの制御信号入力端子 U_P 、 V_P 、 W_P に接続され、各制御信号入力端子NINは、それぞれモジュールの制御信号入力端子 U_N 、 V_N 、 W_N に接続されている。

【0039】

制御回路IC11～IC13の各フォールト端子 F_0 は、モジュール内部において互いに接続され、共通してモジュールのフォールト端子FOに接続されている。

【 0 0 4 0 】

なお、制御回路 I C 1 3 の電流検出端子 C I N 3 は、モジュールの電流検出端子 C I N に接続されているが、電流検出端子 C I N 1 および C I N 2 は何れの端子にも接続されていない。

【 0 0 4 1 】

そして、モジュールの接地端子 V_{NC} および電流検出端子 C I N は、モジュールの外部において、主電源端子 P および N 間に流れる直流電流を検出するシャント抵抗 R 2 0 の両端に接続され、電圧を検出する構成となっている。

【 0 0 4 2 】

次に、制御回路 I C 1 1 ~ I C 1 3 の内部構成を、制御回路 I C 1 3 を例として図 2 を用いて説明する。

【 0 0 4 3 】

図 2 に示すように、制御回路 I C 1 3 はトランジスタ 3 1 および 3 2 の駆動制御をするためのパワーデバイス駆動回路 C 1 8 および C 1 9 を有している。パワーデバイス駆動回路 C 1 8 および C 1 9 からそれぞれ出力される制御信号 S H および S L が、制御信号端子 H O および L O を介してトランジスタ 3 1 および 3 2 (図 1 参照) のゲート電極に与えられる。

【 0 0 4 4 】

ここで、パワーデバイス駆動回路 C 1 8 は高電位側の回路であり、その基準電位は基準電位端子 V_S から供給される。従って、接地電位を基準とする入力回路 C 1 1 から与えられる信号は、レベルシフト回路 C 1 2 を通してパワーデバイス駆動回路 C 1 8 へ与えられる。

【 0 0 4 5 】

また、パワーデバイス駆動回路 C 1 9 は低電位側の回路であり、その基準電位は基準電位端子 V_{NO} から供給される。

【 0 0 4 6 】

入力回路 C 1 1 は、内部電源 C 1 3 で生成する内部電圧 V_{REG} を動作電圧とし、制御信号入力端子 P I N および N I N から制御信号を受け、電圧変換を行ってレベルシフト回路 C 1 2 に与える。

【0047】

なお、制御信号入力端子PINと、入力回路C11とを結ぶ配線間には抵抗R2が介挿され、また上記配線と接地電位との間には抵抗R3およびツェナーダイオードZD1がそれぞれ並列に配設されている。同様に、制御信号入力端子NINと、入力回路C11とを結ぶ配線間には抵抗R4が介挿され、また上記配線と接地電位との間には抵抗R5およびツェナーダイオードZD2がそれぞれ並列に配設されている。

【0048】

レベルシフト回路C12は、与えられた信号、例えば制御信号入力端子PINから入力回路C11を介して与えられた制御信号SPIN（高電位側トランジスタの制御信号）をレベルシフトして制御信号SPIN1としてパワーデバイス駆動回路C18へ出力するとともに、制御信号入力端子NINから入力回路C11を介して与えられた信号SNIN（低電位側トランジスタの制御信号）は、レベルシフトせずにパワーデバイス駆動回路C19へ出力する。

【0049】

なお、レベルシフト回路C12およびパワーデバイス駆動回路C19は、駆動電圧端子V_{CC}から与えられる駆動電圧V_{CC}を動作電圧としている。なお、パワーデバイス駆動回路C18は、駆動電圧端子V_Bから与えられる駆動電圧V_Bと駆動電圧V_{CC}とを動作電圧としており、高耐圧ダイオードD1および抵抗R1を介して駆動電圧V_{CC}がパワーデバイス駆動回路C18に与えられる構成となっている。

【0050】

次に、電流検出端子CIN3による電圧検出のための構成について説明する。電流検出端子CIN3で検出したシャント抵抗R20の検出電圧V_{SC}はコンパレータC15に入力され、コンパレータC15において参照電圧REFとの比較を行う。この結果、シャント抵抗R20（図1）の電圧が参照電圧以上となっている場合には、コンパレータC15が所定の信号（電流異常信号）をフォールト回路C10に与え、フォールト回路C10からパワーデバイス駆動回路C19および入力回路C11に停止信号SFOが与えられ、パワーデバイス駆動回路C1

8およびC19が、それぞれトランジスタ31および22の動作を停止させる。
なお、電流検出端子CIN3とコンパレータC15とを結ぶ配線と接地電位との間には抵抗R6が配設されている。

【0051】

ここで、パワーデバイス駆動回路C18に対する停止信号SFOは、入力回路C11を介してレベルシフト回路C12に与えられ、レベルシフトして停止信号SFO1としてパワーデバイス駆動回路C18に与えられる。

【0052】

なお、フォールト回路C10は自らが作成した停止信号SFOをフォールト端子F₀を介して外部に出力するとともに、他の制御回路が出力する停止信号SFOを受け、それをパワーデバイス駆動回路C19および入力回路C11に与えることも可能であり、入出力機能を有していると言える。

【0053】

フォールト回路C10の構成としては、例えば、図2に示すように、NOR回路C16を介して与えられた電流異常信号に基づいて停止信号SFOを生成する停止信号生成回路C101と、停止信号SFOを外部に出力する際に使用されるバッファ回路C102と、他の制御回路が出力する停止信号SFOを受ける際に使用するバッファ回路C103とを有した構成を採用すれば良い。

【0054】

なお、停止信号SFOはモジュールのフォールト端子FOを介してモジュール外部にも出力され、P-N端子間の短絡等のエラーが発生していることをモジュールの外部に知らせるフォールト信号（エラー信号）としても使用される。

【0055】

また、コンパレータC15の電流異常信号は直接にフォールト回路C10に与えられるのではなく2入力のNOR回路C16を介して与えられている。

【0056】

そして、NOR回路C16にはUV検出回路C14の出力も入力される構成となっている。UV検出回路C14は、駆動電圧VCCの異常低下を検出する回路であり、駆動電圧VCCが所定値よりも低下した場合に、所定の信号（電圧低下

信号) を出力する。この出力がNOR回路C16に与えられる。なお、UV検出回路C14は、電圧低下保護回路とも呼称される。

【0057】

NOR回路C16では、UV検出回路C14およびコンパレータC15の何れか一方からでも異常を示す信号が出力された場合には、フォールト回路C10をアクティブにする信号を出力することになる。

【0058】

なお、駆動電圧VCCは低電位側トランジスタ32のゲート-エミッタ間電圧にもなるので、すなわち制御電圧にもなるので、この値が異常に低下するとトランジスタ32の飽和電圧が大きくなり、電力損失が増大して熱破壊に至る。従って、駆動電圧VCCが低下した場合にはトランジスタ32の動作を停止させる必要がある。

【0059】

なお、パワーデバイス駆動回路C18は、駆動電圧VBの異常低下を検出するUV検出回路C20を内蔵しており、駆動電圧VBが所定値よりも低下した場合には、トランジスタ31の動作を停止させることができる。

【0060】

ここで、図3および図4にUV検出回路C20およびC14の構成を示す。

図3に示すUV検出回路C20は、駆動電圧VBと基準電圧VSとの間に配設された定電流源CI、定電流源CI側にカソードが接続され、基準電位VS側にアノードが接続されたツェナーダイオードSD10、駆動電圧VBと基準電位VSとの間に直列に接続された抵抗R11、R12およびR13を備えている。

【0061】

そして、ツェナーダイオードSD10のツェナー電圧に基づいて生成される参照電圧と駆動電圧VBとの比較を行うコンパレータC22、コンパレータC22の出力に接続されたディレイ回路C23、ディレイ回路C23の出力をR入力に受け、レベルシフトされた制御信号SPIN1をS入力に受けるRSラッチ回路C24、抵抗R11とR12との接続ノードとコンパレータC22のマイナス端子との接続および切り離しをディレイ回路C23の出力によって制御するスイッ

チ手段SW1、抵抗R12とR13との接続ノードとコンパレータC22のマイナス端子との接続および切り離しを行うスイッチ素子SW2、ディレイ回路C23の出力を反転してスイッチ素子SW2に与えるインバータ回路C21とを備えている。

【0062】

このような構成のUV検出回路C20は、駆動電圧VBが低下して電圧低下信号を出力する電圧レベル（セットレベル）と、駆動電圧VBが回復してリセットをかける電圧レベル（リセットレベル）とを設定でき、セットレベルの方がリセットレベルよりも低く設定されている。

【0063】

また、ディレイ回路C23はフィルター時間を設定し、駆動電圧VBの低下期間が所定時間以上になった場合に電圧低下信号を出力するように構成されており、駆動電圧VBの瞬間的な低下などに反応して、過剰に保護動作を行うことを防止できる。

【0064】

なお、RSラッチ回路C24のQ出力が電圧低下信号として、パワーデバイス駆動回路C18に与えられる。

【0065】

図4に示すUV検出回路C14は、駆動電圧VCCと接地電位との間に、抵抗R21およびR22が直列に配設され、また、例えば内部電源C13（図2）で生成された内部電圧VREGと接地電位との間に、抵抗R23、R24およびR25が直列に配設されて抵抗分割により参照電圧を生成する構成となっている。

【0066】

そして、抵抗R21およびR22の接続ノードにコンパレータC31のマイナス端子が接続され、抵抗R23およびR24の接続ノードにコンパレータC31のプラス端子が接続され、コンパレータC31の出力はアンド回路C32の一方の入力およびディレイ回路C33の入力に接続されている。

【0067】

なお、アンド回路C32の他方の入力にはディレイ回路C33の出力が接続さ

れ、アンド回路 C 3 2 の出力は抵抗 R 2 5 をバイパスする経路に設けられたスイッチ手段 S W 3 の開閉制御に与えられる構成となっている。

【 0 0 6 8 】

そしてディレイ回路 C 3 3 の出力は、R S ラッチ回路 C 2 4 の R 入力に与えられ、制御信号 S N I N が S 入力に与えられ、Q 出力が電圧低下信号としてフォールト回路 C 1 0 に与えられる構成となっている。

【 0 0 6 9 】

このような構成の U V 検出回路 C 1 4 も U V 検出回路 C 2 0 と同様の動作をし、駆動電圧 V C C が低下して電圧低下信号を出力する電圧レベル（セットレベル）と、駆動電圧 V C C が回復してリセットをかける電圧レベル（リセットレベル）とを設定でき、セットレベルの方がリセットレベルよりも低く設定されている。

【 0 0 7 0 】

また、ディレイ回路 C 3 3 はフィルター時間を設定し、駆動電圧 V C C の低下期間が所定時間以上になった場合に電圧低下信号を出力するように構成されており、駆動電圧 V C C の瞬間的な低下などに反応して、過剰に保護動作を行うことを防止できる。

【 0 0 7 1 】

< A - 2 . 動作 >

制御回路 I C 1 1 および I C 1 2 は、以上説明した制御回路 I C 1 3 と同じ構成を有している。そして、図 1 に示すように、モジュール 1 0 0 においては、制御回路 I C 1 1 ~ I C 1 3 の各フォールト端子 F_0 は、モジュール内部において互いに接続され、また、シャント抵抗 R 2 0 の電圧値は制御回路 I C 1 3 のみが検出するように構成されているので、P - N 端子間に異常な電流が流れた場合には制御回路 I C 1 3 のフォールト端子 F_0 から停止信号 S F O が出力され、制御回路 I C 1 1 および I C 1 2 のフォールト端子 F_0 に入力される。

【 0 0 7 2 】

その結果、制御回路 I C 1 3 がトランジスタ 3 1 および 3 2 を停止させるのと同時に、制御回路 I C 1 1 および I C 1 2 は、それぞれトランジスタ 1 1 および

12、トランジスタ21および22を停止させることができる。

【0073】

すなわち、図8を用いて説明した従来のモジュール90においては、電源PSの電流が異常になった場合には、シャント抵抗R20の電圧を、制御回路IC1～IC3のそれぞれの電流検出端子CIN1、CIN2、およびCIN3が検出し、制御回路IC1～IC3が、個々にトランジスタ11、12、21、22、31および32への制御信号を停止していたので、制御回路IC1～IC3がそれぞれ有するコンパレータC1（図9）の特性や、参照電圧にばらつきがあった場合、トランジスタの停止までの時間にばらつきが生じる可能性があったが、本実施の形態の制御回路IC11およびIC12においては、コンパレータC15は使用せず、制御回路IC13が出力した停止信号SFOを使用してトランジスタ11および12、トランジスタ21および22を停止させるので、各トランジスタの停止のタイミングを一致させることができる。

【0074】

これは、制御回路IC11～IC13の各フォールト回路C10が停止信号を出力するだけでなく受け入れることもできる入出力機能を有することで可能となった動作である。

【0075】

図5に、電源PSの電流が異常になった場合のトランジスタ12、22および32の動作停止のタイミングチャートを示す。

【0076】

図5においては、横軸に時間（任意単位）、縦軸に電圧（任意単位）を示し、制御信号入力端子 U_N 、 V_N および W_N から与えられる低電位側トランジスタの制御信号をそれぞれ U_N 、 V_N および W_N として示すとともに、制御回路IC11～IC13から各低電位側トランジスタへ与えられる制御信号をそれぞれLOU、LOV、LOWとして示し、また、シャント抵抗R20の検出電圧VSCおよび停止信号SFOを示している。

【0077】

図5に示すように、制御信号 U_N 、 V_N および W_N は、立ち上がり、立ち下が

り、すなわちオン、オフのタイミングが一致するようにパルス的に与えられ、制御信号UN、VNおよびWNの立ち上がり、立ち下りのタイミングに合わせて、制御信号LOU、LOVおよびLOWがパルス的に出力される。

【0078】

なお、制御信号UN、VN、WNと制御信号LOU、LOV、LOWとの立ち上がり、立ち下りの関係は逆転の関係にある。

【0079】

そして、図5に示すように検出電圧VSCが0Vである場合、すなわち正常に動作している場合には停止信号SFOは所定電圧を保っているが、P-N端子間の短絡などの異常が発生し、検出電圧VSCが高まった場合には、検出電圧VSCが0Vに戻るまでの期間は制御信号LOU、LOVおよびLOWは出力されず、トランジスタ12、22および32は停止状態を保っている。

【0080】

<A-3. 作用効果>

以上説明したように実施の形態1のインバータモジュール100においては、制御回路IC13がトランジスタ31および32を停止させるのと同時に、制御回路IC11およびIC12は、それぞれトランジスタ11および12、トランジスタ21および22を停止させることができ、各トランジスタの停止のタイミングを一致させることができる。これにより、U相、V相、W相の相間での保護動作を一致させることができ、インバータモジュールの信頼性を高めることができる。

【0081】

そして、そのために必要な内部配線は、制御回路IC11～IC13の各フォールト端子F₀を互いに接続する配線だけで済むので、内部配線を削減してモジュールを小型化することができる。

【0082】

また、駆動電圧VCCの異常低下を検出するUV検出回路C14により駆動電圧VCCの異常低下が検出された場合も、フォールト回路C10をアクティブにして停止信号SFOを出力させることができるので、駆動電圧VCCの異常低下

に際しても、トランジスタ 11、12、21、22、31 および 32 の停止のタイミングを一致させることができる。

【0083】

<B. 実施の形態 2>

<B-1. 装置構成>

図 6 は 3 相ブリッジ回路を有するインバータモジュール 200 の構成を示すブロック図である。図 6 において、トランジスタ 11 および 12、21 および 22、31 および 32 の組をそれぞれ制御するため、パッケージ化された制御回路 IC21、IC22 および IC23 が配設されている。なお、その他、図 1 を用いて説明したインバータモジュール 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0084】

図 6 に示すように、制御回路 IC21～IC23 は、それぞれ検出電圧の異なる電流検出端子 CIN1a および CIN1b、電流検出端子 CIN2a および CIN2b、電流検出端子 CIN3a および CIN3b をそれぞれ有し、電流検出端子 CIN1a、CIN2a および CIN3b がモジュールの電流検出端子 CIN に共通に接続され、電流検出端子 CIN1b、CIN2b および CIN3a は何れの端子にも接続されていない。

【0085】

ここで、各電流検出端子の検出電圧の大小関係は、 $CIN1a = CIN2a = CIN3a > CIN1b = CIN2b = CIN3b$ である。

【0086】

すなわち、電流検出端子 CIN1a と CIN1b とでは CIN1b の方がセンシティブであり、電流検出端子 CIN2a と CIN2b とでは CIN2b の方がセンシティブであり、電流検出端子 CIN3a と CIN3b とでは CIN3b の方がセンシティブである。

【0087】

ここで、制御回路 IC21～IC23 の内部構成を、制御回路 IC23 を例として図 7 を用いて説明する。

【0088】

基本的には図2を用いて説明した制御回路IC13と同じであり、同一の構成については同一の符号を付し、重複する説明は省略する。

【0089】

図7において、シャント抵抗R20の検出電圧VSCを電流検出端子CIN3aで検出した場合、検出電圧VSCはコンパレータC15aに入力され、コンパレータC15aにおいて参照電圧REFaとの比較を行う。

【0090】

また、シャント抵抗R20の検出電圧VSCを電流検出端子CIN3bで検出した場合、検出電圧VSCはコンパレータC15bに入力され、コンパレータC15bにおいて参照電圧REFbとの比較を行う。

【0091】

コンパレータC15aおよびC15bの出力は、それぞれ2入力のNOR回路C16aおよびC16bを介してフォールト回路C10に与えられる構成になっている。なお、NOR回路C16aおよびC16bにはUV検出回路C14の出力も入力される構成となっている。

【0092】

なお、電流検出端子CIN3aとコンパレータC15aとを結ぶ配線と接地電位との間には抵抗R6aが配設され、電流検出端子CIN3bとコンパレータC15bとを結ぶ配線と接地電位との間には抵抗R6bが配設されている。

【0093】

また、上述した検出電圧の大小関係に基づけば、参照電圧REFbの方が参照電圧REFaよりも低いことは言うまでもない。

【0094】

このように、電流検出端子CIN3aおよびCIN3bは、それぞれコンパレータC15aおよびC15bに接続されるので、それぞれのコンパレータで参照電圧を異なる値にしておくことで、検出電圧、すなわち検出感度を異なったものにすることができる。

【0095】

<B-2. 動作>

図7においては、電流検出端子CIN1a、CIN2aおよびCIN3bがモジュールの電流検出端子CINに共通に接続されているので、異常発生時には、制御回路IC21～IC23のそれぞれがシャント抵抗R20の電圧を検出することになるが、最初に電圧異常を検出するのは、電流検出端子CIN3bにモジュールの電流検出端子CINが接続された制御回路IC23であり、制御回路IC23が出力する停止信号SFOによって、トランジスタ11、12、21、22、31および32を同時に停止させることができる。

【0096】

また、参照電圧REFaと参照電圧REFbとの差異を、制御回路IC21～IC23のそれぞれの間での参照電圧のばらつきや、コンパレータの性能のばらつきよりも大きくしておけば、制御回路IC23よりも早く他の制御回路が電圧異常を検出することを防止でき、トランジスタ11、12、21、22、31および32の停止のタイミングがずれることを確実に防止できる。

【0097】

<B-3. 作用効果>

以上説明したように実施の形態1のインバータモジュール200においては、制御回路IC23がトランジスタ31および32を停止させるのと同時に、制御回路IC21およびIC22は、それぞれトランジスタ11および12、トランジスタ21および22を停止させることができ、各トランジスタの停止のタイミングを一致させることができる。これにより、U相、V相、W相の相間での保護動作を一致させることができ、インバータモジュールの信頼性を高めることができる。

【0098】

【発明の効果】

本発明に係る請求項1記載の半導体装置によれば、フォールト回路が停止信号を少なくとも1つの制御回路の外部に出力するとともに、少なくとも1つの制御回路の外部から入力される停止信号と同じ信号を受け、少なくとも1組の第1および第2のスイッチング素子の少なくとも1方の動作を停止させる機能を有する

ので、例えば少なくとも1組の第1および第2のスイッチング素子が短絡状態となって、第1および第2の端子間で電流異常が発生した場合、少なくとも1つの制御回路が少なくとも1組の第1および第2のスイッチング素子を停止させるタイミングで、例えば、他のスイッチング素子を停止させることができ、スイッチング素子停止のタイミングを一致させることができる。

【0099】

本発明に係る請求項2記載の半導体装置によれば、フォールト回路が、電圧低下信号および電流異常信号の少なくとも一方が出力された場合に停止信号を出力するので、第1および第2の端子間での電流異常に際してだけでなく、駆動電圧の低下に際しても少なくとも1組の第1および第2のスイッチング素子の少なくとも1方の動作を停止させることができる。

【0100】

本発明に係る請求項3記載の半導体装置によれば、少なくとも1組の第1および第2のスイッチング素子のうち、低電位側の素子の制御電極に制御電圧としても与えられる駆動電圧の低下を検出するので、レベルシフトなどの必要がなく、取り扱いが容易である。

【0101】

本発明に係る請求項4記載の半導体装置によれば、第1の電流検出回路が第2の電流検出回路よりも検出感度が高く設定されているので、第1および第2の電流検出回路を使い分けることで、例えば複数の制御回路が存在する場合に、優先的にシャント抵抗の電圧を検出する制御回路を設定することができ、1つの制御回路が出力する停止信号で、残りの制御回路が制御するスイッチング素子の停止制御が可能となる。

【0102】

本発明に係る請求項5記載の半導体装置によれば、複数の制御回路のうちの1つの制御回路のみがシャント抵抗の電圧を検出して停止信号を出力し、残りの制御回路のフォールト回路に与えるように構成されているので、1つの制御回路が出力する停止信号で、残りの制御回路が制御するスイッチング素子の停止制御が可能となり、また、そのために必要な配線は、複数の制御回路の各フォールト回

路を互いに電氣的に接続する配線だけで済むので、配線数を削減して装置を小型化することができる。

【 0 1 0 3 】

本発明に係る請求項 6 記載の半導体装置によれば、複数の制御回路のうちの 1 つの制御回路のみが、第 1 の電流検出回路によってシャント抵抗の電圧を検出し、残りの制御回路は第 2 の電流検出回路によってシャント抵抗の電圧を検出するので、優先的にシャント抵抗の電圧を検出する制御回路を設定することができ、1 つの制御回路が出力する停止信号で、残りの制御回路が制御するスイッチング素子を停止制御することで、スイッチング素子停止のタイミングを一致させることができる。

【図面の簡単な説明】

【図 1】 本発明に係る半導体装置の実施の形態 1 の構成を説明する図である。

【図 2】 本発明に係る半導体装置の実施の形態 1 の制御回路の構成を示す図である。

【図 3】 高電位側トランジスタの UV 検出回路の構成を示す図である。

【図 4】 低電位側トランジスタの UV 検出回路の構成を示す図である。

【図 5】 本発明に係る半導体装置の実施の形態 1 の動作を示すタイミングチャートである。

【図 6】 本発明に係る半導体装置の実施の形態 2 の構成を説明する図である。

【図 7】 本発明に係る半導体装置の実施の形態 2 の制御回路の構成を示す図である。

【図 8】 従来の半導体装置の構成を説明する図である。

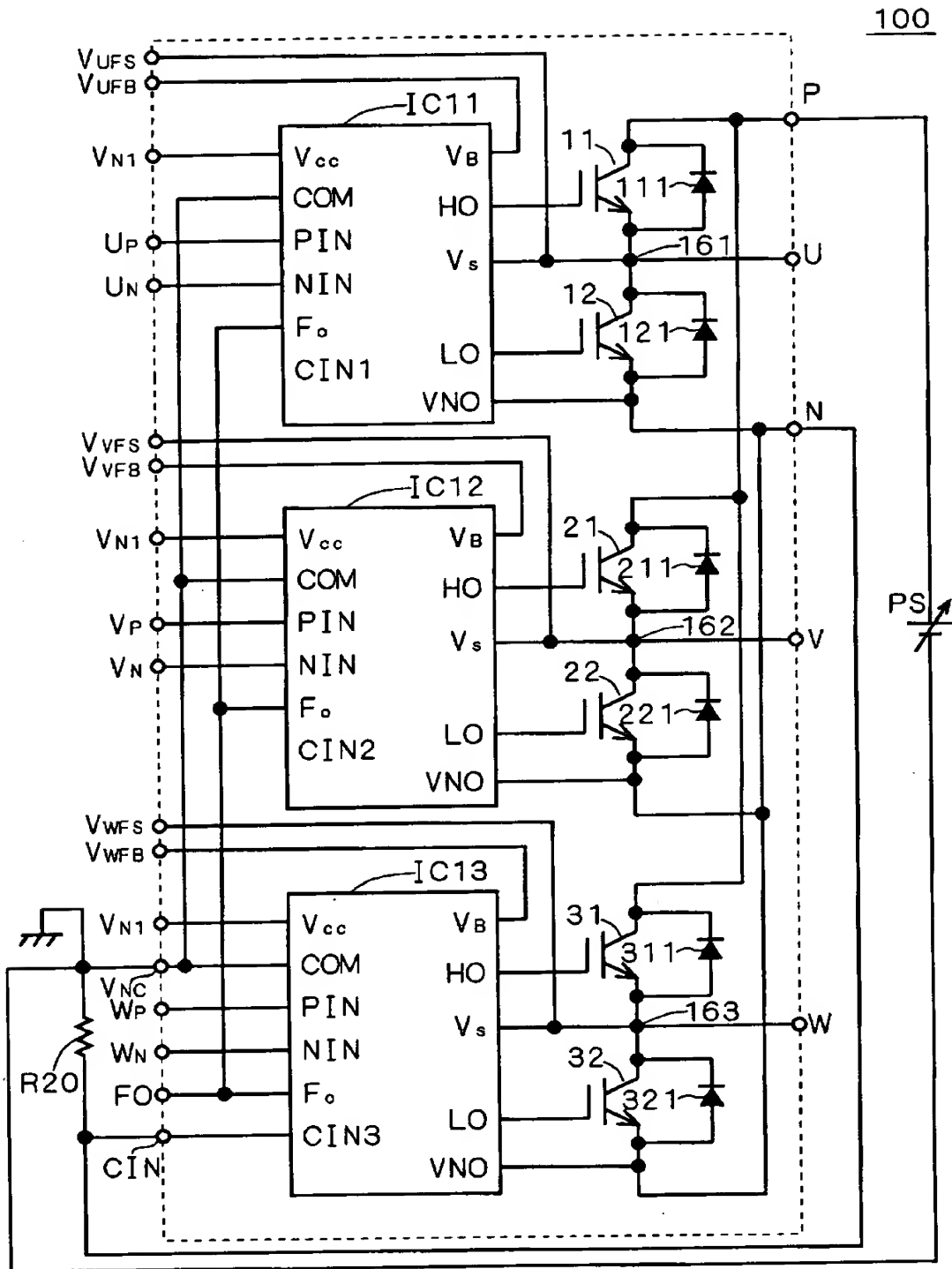
【図 9】 従来の半導体装置の構成を説明する図である。

【符号の説明】

IC 1 1 ~ IC 1 3, IC 2 1 ~ IC 2 3 制御回路、R 2 0 シャント抵抗

【書類名】 図面

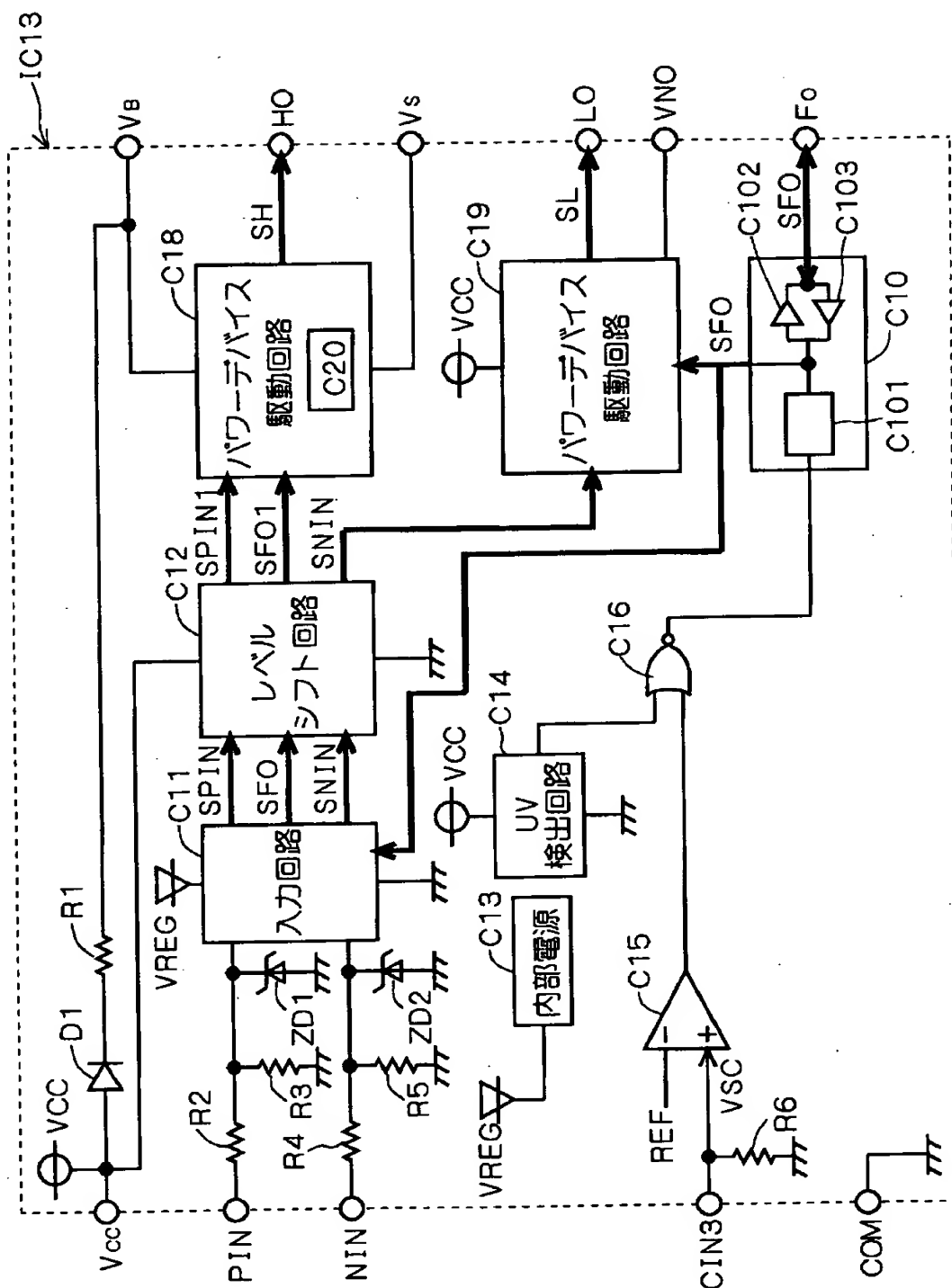
【図 1】



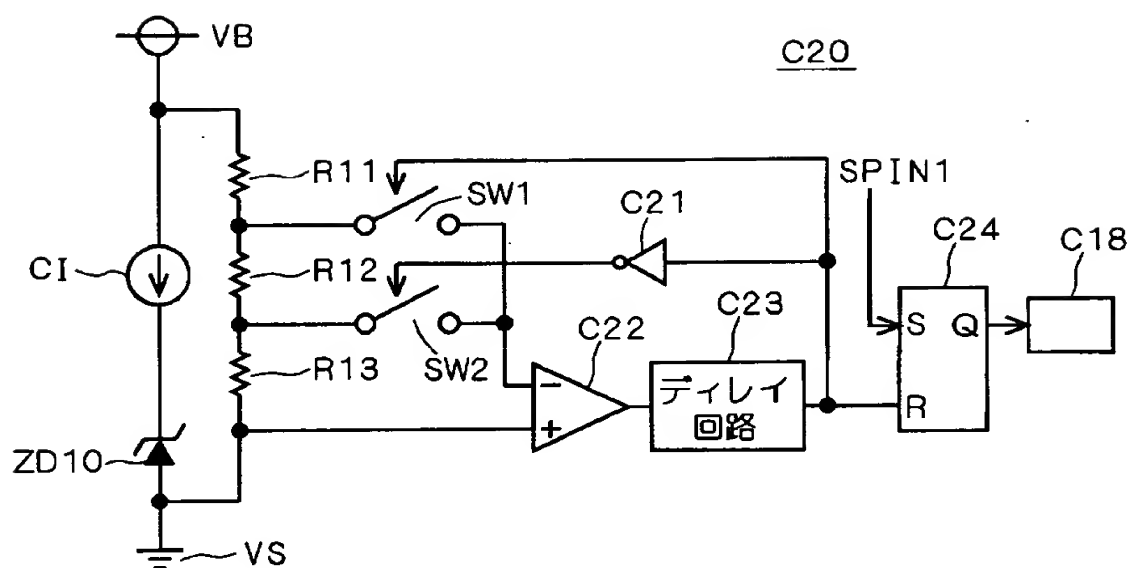
IC11~IC13: 制御回路

R20: シャント抵抗

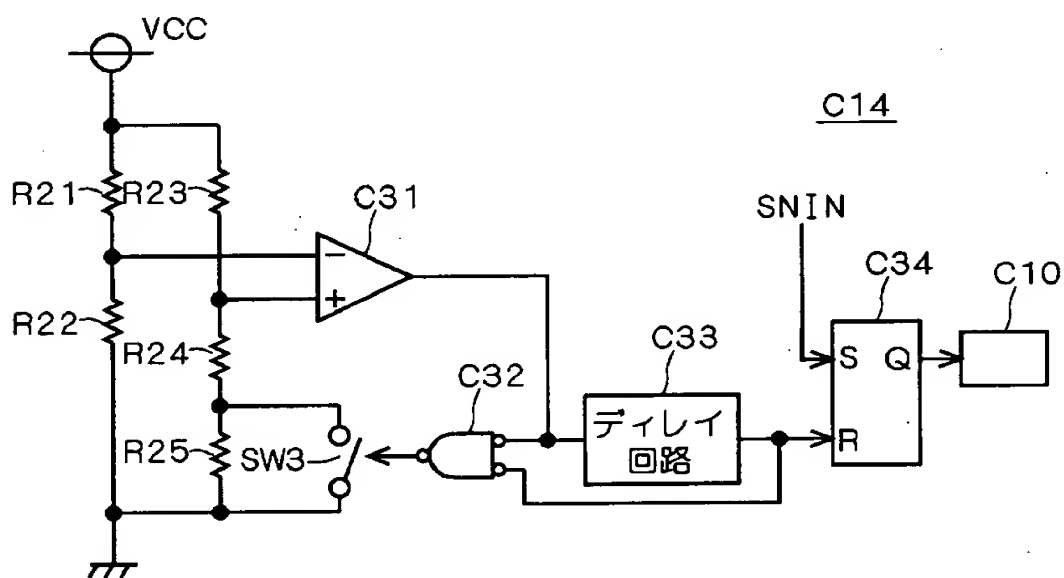
【図 2】



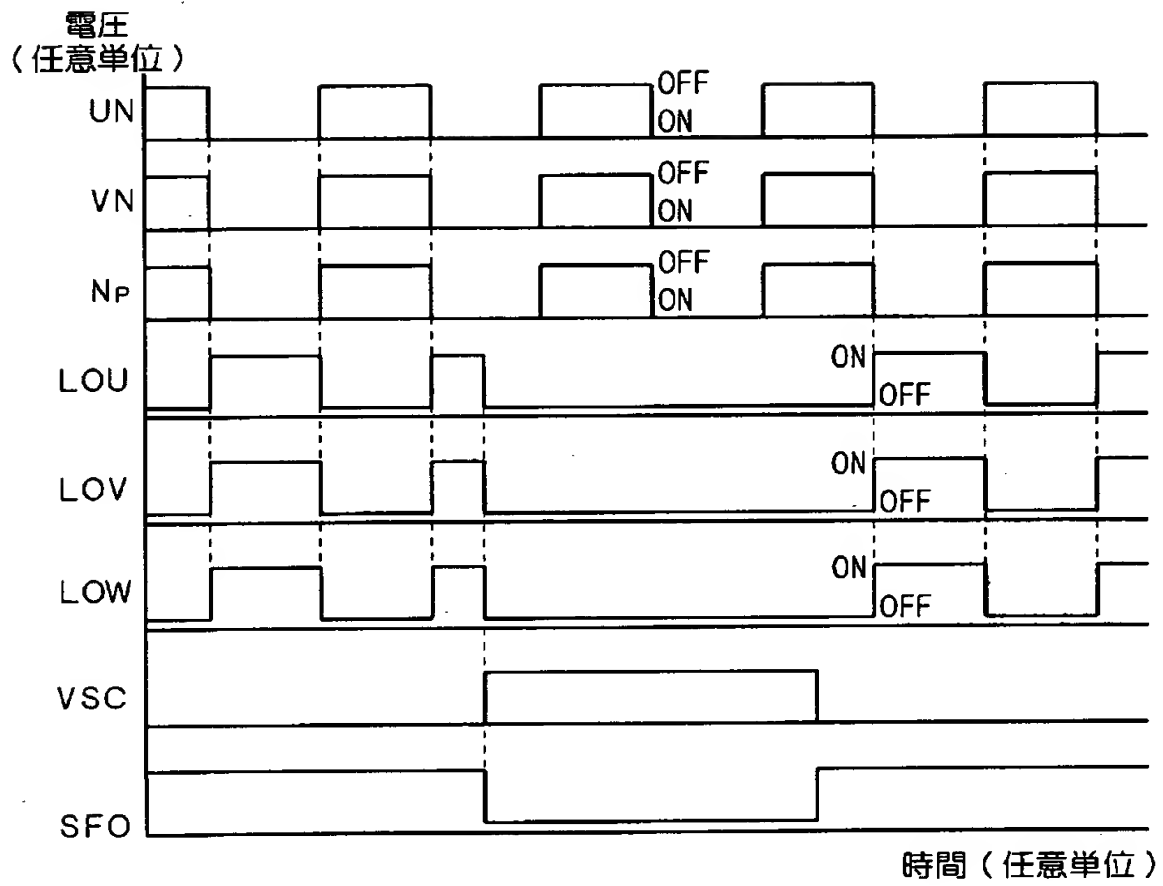
【図 3】



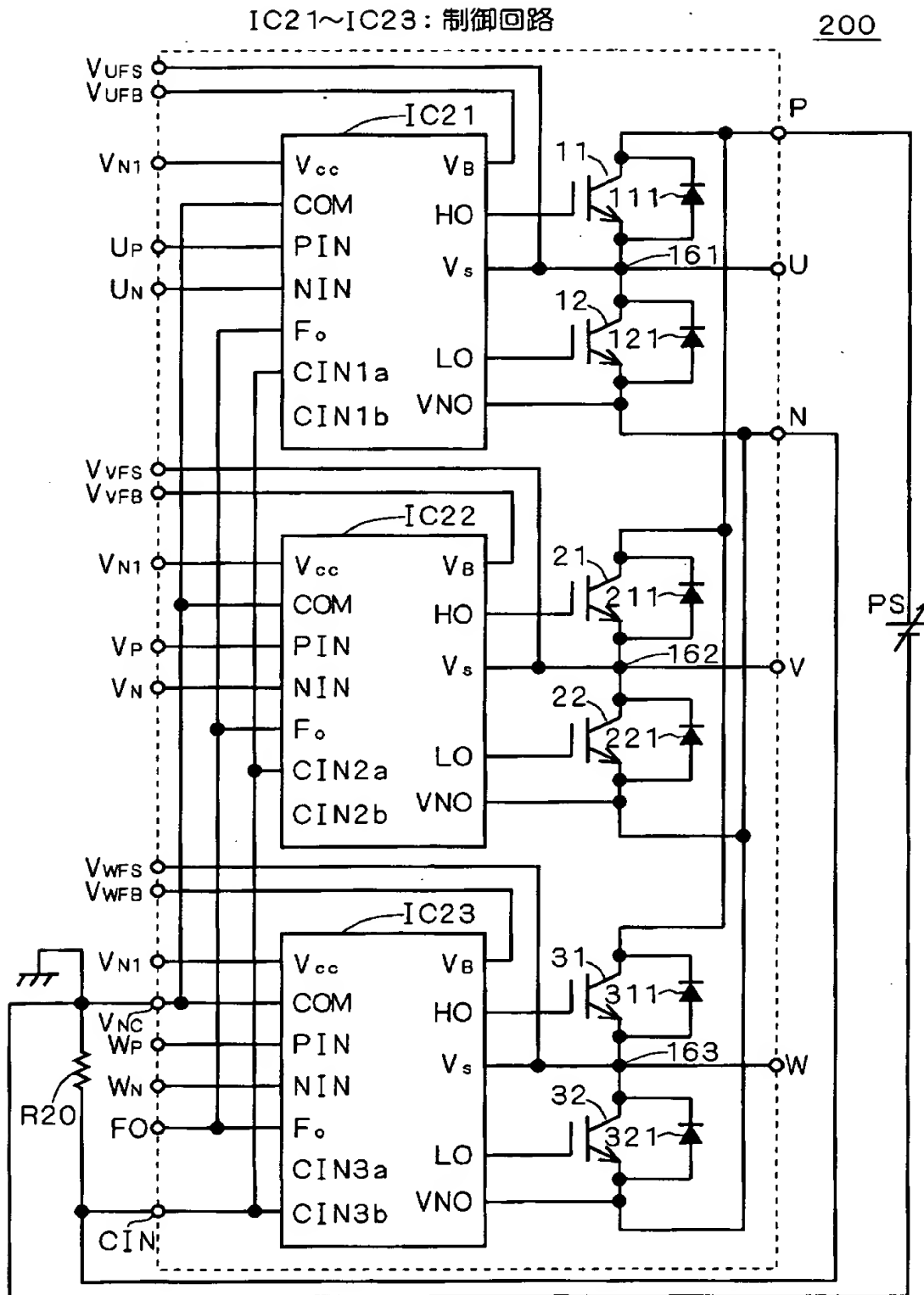
【図 4】



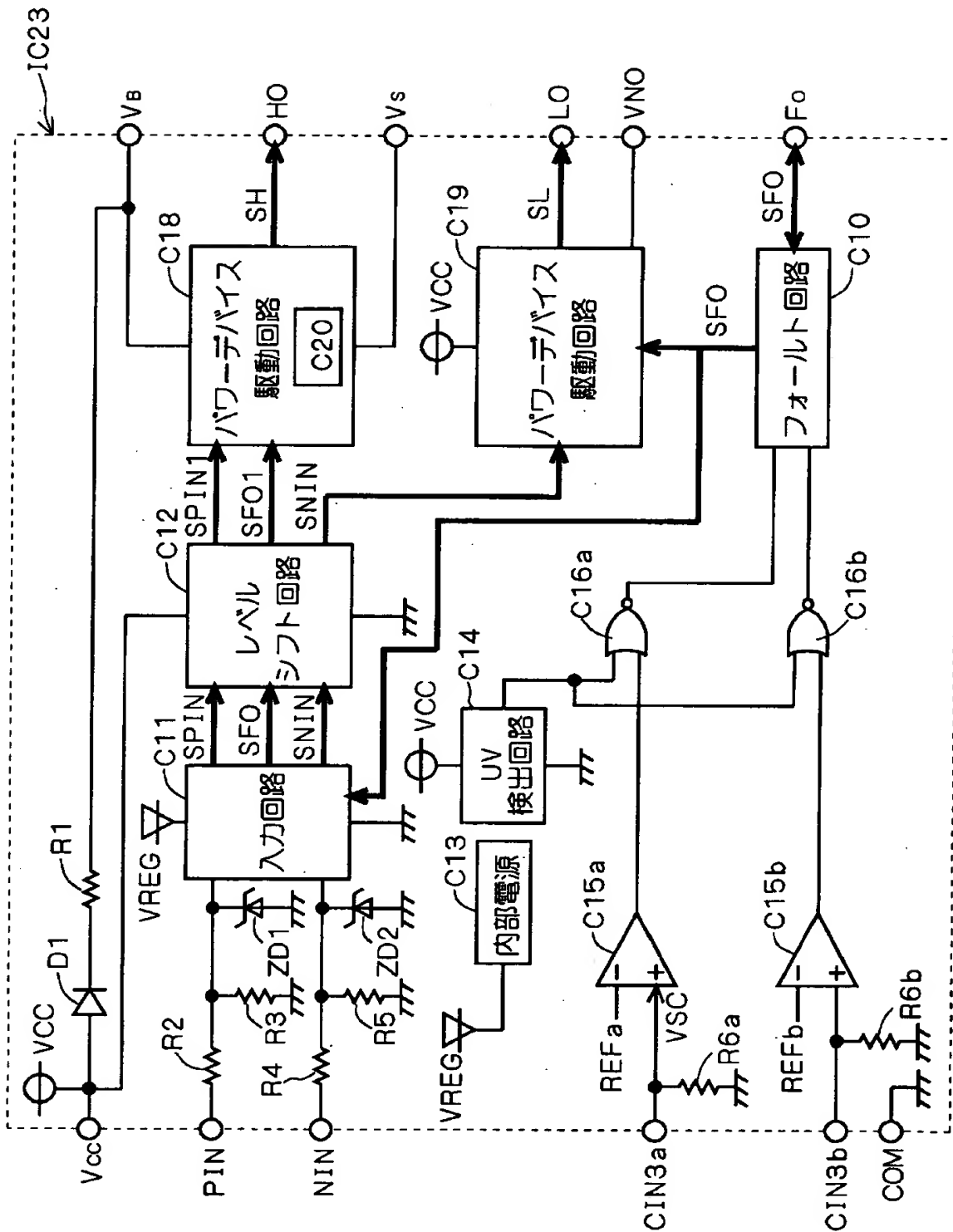
【図 5】



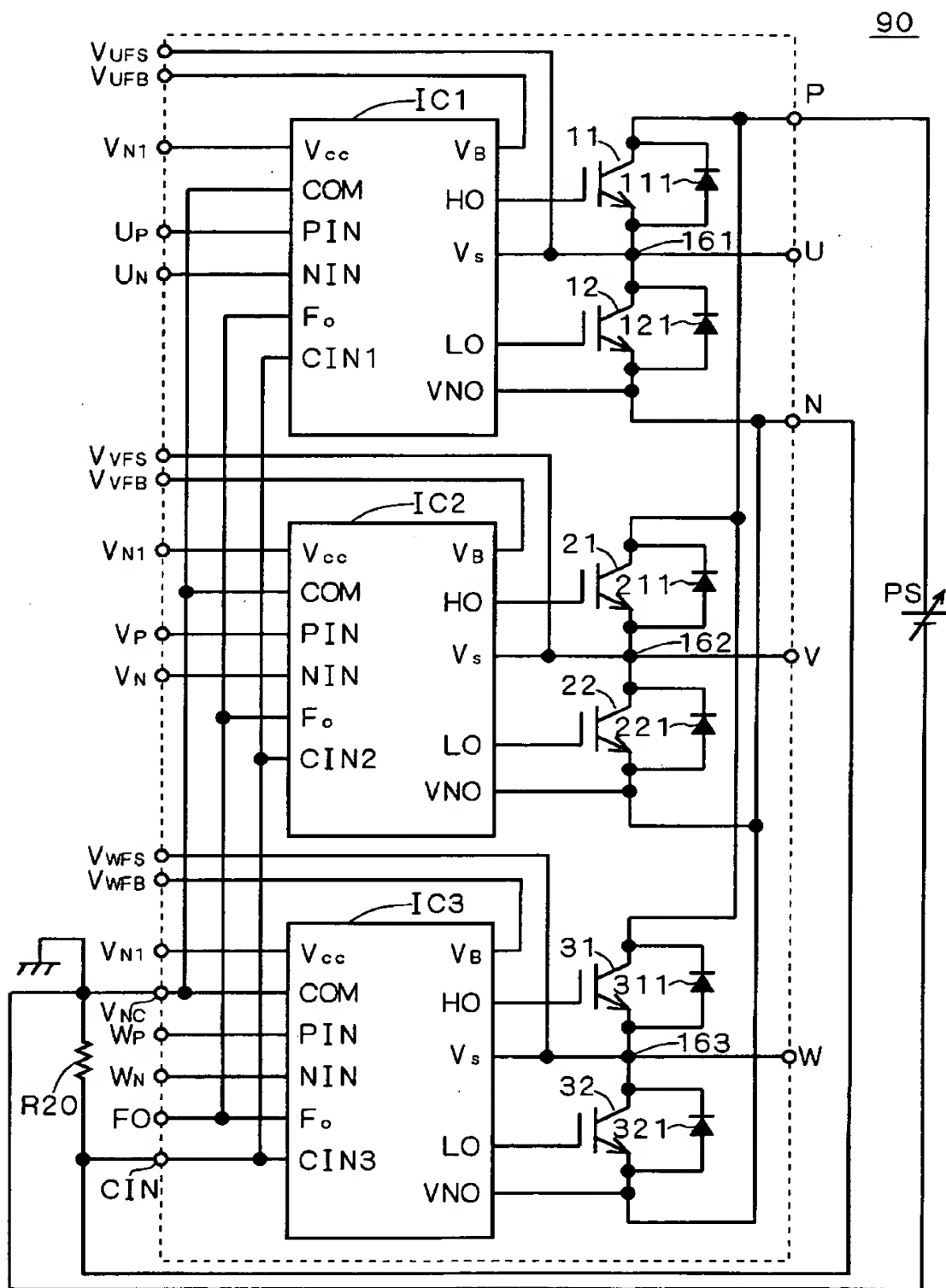
【図 6】



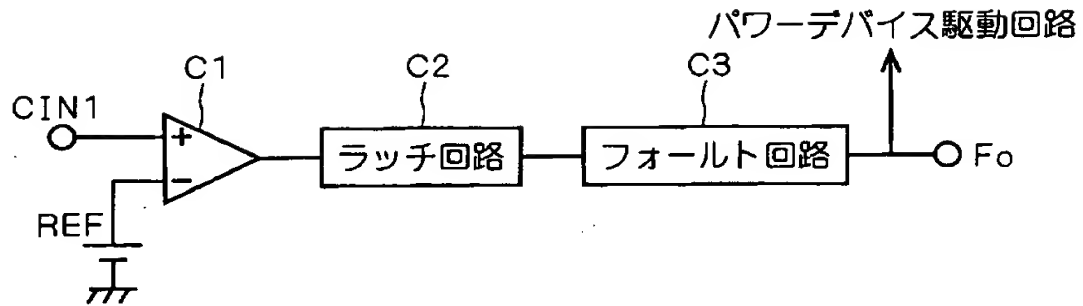
【図7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 パワーデバイスの保護機能を有したインバータモジュールにおいて、内部配線を単純化してモジュールを小型化する。

【解決手段】 電流検出端子CIN3で検出したシャント抵抗R20の検出電圧VSCは、コンパレータC15において参照電圧REFと比較され、シャント抵抗R20の電圧が参照電圧以上となっている場合には、コンパレータC15が電流異常信号をフォールト回路C10に与え、パワーデバイス駆動回路C19および入力回路C11に停止信号SFOが与えられ、パワーデバイス駆動回路C18およびC19が、それぞれトランジスタ31および22の動作を停止させる。フォールト回路C10は自らが作成した停止信号SFOをフォールト端子F0を介して外部に出力するとともに、他の制御回路が出力する停止信号SFOを受け、それをパワーデバイス駆動回路C19および入力回路C11に与えることも可能である。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社